

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065517

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H03K 19/0948

H01L 21/8238

H01L 27/092

H03K 19/20

(21)Application number : 09-131136 (71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 21.05.1997 (72)Inventor : FUJII KOJI
DOUSEKI TAKAKUNI

(30)Priority

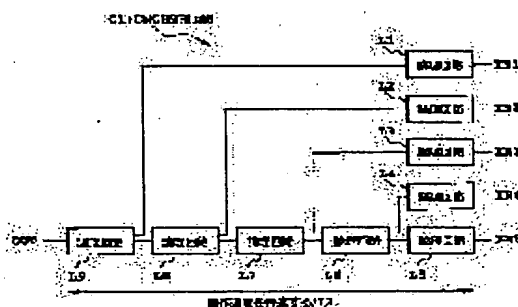
Priority number : 08150268 Priority date : 22.05.1996 Priority country : JP

(54) LOGIC CIRCUIT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a logic circuit in which the power consumption in the operating state is much more reduced while keeping a highest operating speed.

SOLUTION: The circuit is provided with a 1st logic gate (L4-L9) placed in a signal path deciding the operating speed having at least one 1st MOS transistor (TR) having a lower threshold voltage than a predetermined voltage and operated at a high speed and with remaining logic gates other than the 1st logic gate (L1-L3) having either a 2nd MOS TR having a medium threshold voltage more than the predetermined voltage or a 3rd MOS TR having a high threshold voltage over the predetermined voltage as a TR having a margin in the operating speed.



LEGAL STATUS

[Date of request for examination] 09.02.2001

[Date of sending the examiner's decision of rejection] 18.04.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65517

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0948			H 0 3 K 19/094	B
H 0 1 L 21/8238			19/20	
		27/092	H 0 1 L 27/08	3 2 1 L
H 0 3 K 19/20				

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平9-131136

(22) 出願日 平成9年(1997) 5月21日

(31) 優先権主張番号 特願平8-150268

(32) 優先日 平8(1996) 5月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 藤井 孝治

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 道関 隆国

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

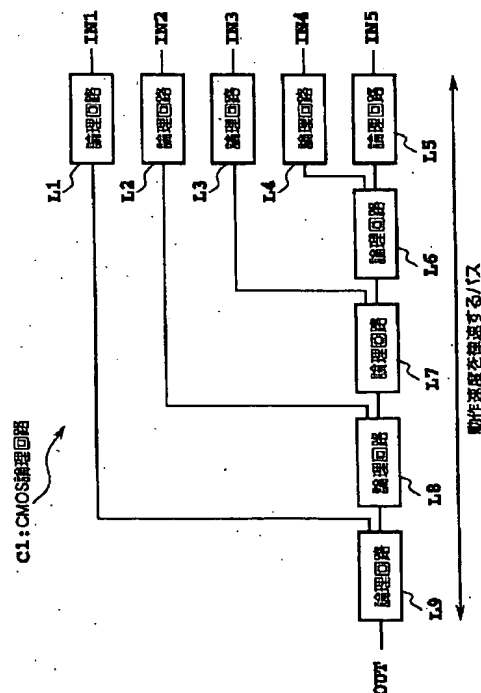
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 論理回路およびその製造方法

(57) 【要約】

【課題】 最高動作速度を維持しつつ、動作時の消費電力をより小さくできる論理回路を提供すること。

【解決手段】 予め定めた電圧よりも低いしきい値電圧をもち、高速で動作する少なくともひとつの第1 MOS トランジスタを有し、動作速度を決定する信号経路に配置された第1 論理ゲート (L 4 ~ L 9) と、前記予め定めた電圧以上の中しきい値電圧をもつ第2 MOS トランジスタおよび前記予め定められた電圧以上の高しきい値電圧をもつ第3 MOS トランジスタの少なくとも一方を動作速度にマージンのあるトランジスタとして有する、前記第1 論理ゲート (L 1 ~ L 3) 以外の残余の論理ゲートを具えたことを特徴とする論理回路。



【特許請求の範囲】

【請求項1】 予め定めた電圧よりも低いしきい値電圧をもち、高速で動作する少なくともひとつの第1 MOSトランジスタを有し、動作速度を決定する信号経路に配置された第1論理ゲートと、

前記予め定めた電圧以上の中しきい値電圧をもつ第2 MOSトランジスタおよび前記予め定められた電圧以上の高しきい値電圧をもつ第3 MOSトランジスタの少なくとも一方を動作速度にマージンのあるトランジスタとして有する、前記第1論理ゲート以外の残余の論理ゲート10を具えたことを特徴とする論理回路。

【請求項2】 請求項1記載の論理回路において、前記低および中しきい値をもつ第1、および第2 MOSトランジスタの少なくとも一方の高電位電源側端子を、高しきい値電圧をもつ第4 MOSトランジスタを介して主電源線に接続したことを特徴とする論理回路。

【請求項3】 請求項2記載の論理回路において、前記第1論理ゲートにおける前記少なくとも1つの第1 MOSトランジスタは、前記信号経路に挿入されたトランスファゲートを構成する第5 MOSトランジスタと、該第5 MOSトランジスタを制御する第6 MOSトランジスタとを有し、前記残余の論理ゲートは、前記第5 MOSトランジスタの出力を決定する第2論理ゲートと、前記第6 MOSトランジスタを制御する第3論理ゲートとを有することを特徴とする論理回路。20

【請求項4】 請求項3記載の論理回路において、前記第5 MOSトランジスタのゲート端子には前記第6 MOSトランジスタのドレイン端子を接続し、前記第6 MOSトランジスタのソース端子には前記第3論理ゲートの出力端子を接続し、前記第6 MOSトランジスタのゲート端子には前記高電位電源線および主電源線の一方または接地線を接続したことを特徴とする論理回路。30

【請求項5】 請求項1または2記載の論理回路において、前記第1、第2および第3 MOSトランジスタがSOI構造を有し、前記低しきい値電圧の第1 MOSトランジスタ、および前記中しきい値電圧の第2 MOSトランジスタのうちの少なくとも一方のMOSトランジスタは、完全空乏型であることを特徴とする論理回路。

【請求項6】 請求項2記載の論理回路において、前記第1、第2および第3 MOSトランジスタがSOI構造を有し、前記低しきい値電圧の第1 MOSトランジスタ、および前記中しきい値電圧の第2 MOSトランジスタのうちの少なくとも一方のMOSトランジスタと、前記高しきい値電圧を有する第3 MOSトランジスタとは、完全空乏型であることを特徴とする論理回路。40

【請求項7】 請求項3記載の論理回路において、前記第5 MOSトランジスタは、ソースが前記トランスファゲートの信号入力端子に接続され、ドレインが前記トランスファゲートの信号出力端子に接続されている第1の第一導電型MOSエンハンス50

メント型トランジスタであり、前記第6 MOSトランジスタはソースが前記第3論理ゲートからの制御出力端子に接続され、ドレインが前記第1の第一導電型MOSエンハンスメント型トランジスタのゲートに接続され、ゲートが前記高電位電源側端子または接地線に接続されている第2の第一導電型MOSエンハンスメント型トランジスタであり、

前記第1の第一導電型MOSエンハンスメント型トランジスタのボディーと前記第2の第一導電型MOSエンハンスメント型トランジスタのボディーとがフローティングされていることを特徴とする論理回路。

【請求項8】 請求項7記載の論理回路において、前記第1の第一導電型MOSエンハンスメント型トランジスタ、および前記第2の第一導電型MOSエンハンスメント型トランジスタは、SOI構造のトランジスタであることを特徴とする論理回路。

【請求項9】 請求項8記載の論理回路において、前記第1の第一導電型MOSエンハンスメント型トランジスタ、および前記第2の第一導電型MOSエンハンスメント型トランジスタは、完全空乏型であることを特徴とする論理回路。

【請求項10】 請求項4、7、8または9のいずれかに記載の論理回路において、前記残余の論理ゲートは第1および第2の入力信号とキャリア信号とを受けて加算を行う全加算器を構成する論理ゲートを有し、前記トランスファゲートに前記キャリア信号を供給し、前記第3論理ゲートは前記第1および第2入力信号に応じて前記キャリア信号を前記トランスファゲートから取り出すか否かを制御し、前記第2論理ゲートは前記第1および第2入力信号に応じて前記トランスファゲートから前記キャリア信号が取り出されないときに前記第1および第2入力信号に応じて予め定めた出力を前記トランスファゲート出力として形成することを特徴とする論理回路。

【請求項11】 請求項2記載の論理回路において、前記低しきい値電圧をもつ前記少なくともひとつの第1のMOSトランジスタは、

ソースが信号入力端子に接続され、ドレインが信号出力端子に接続されている第1の第一導電型MOSエンハンスメント型トランジスタと、ソースが制御端子に接続され、ドレインが前記第1の第一導電型MOSエンハンスメント型トランジスタのゲートに接続され、ゲートが前記高電位電源側端子または接地線に接続されている第2の第一導電型MOSエンハンスメント型トランジスタとを有し、前記第1の第一導電型MOSエンハンスメント型トランジスタのボディーと前記第2の第一導電型MOSエンハンスメント型トランジスタのボディーとがフローティングされているスイッチ回路によりトランスファゲートを構成したことを特徴とする論理回路。

【請求項12】 請求項1または2記載の論理回路を製造する方法において、

(A) 前記、低、中、および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域をそれぞれ互いに絶縁分離して形成し、

(B) 前記低および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域に低しきい値用不純物の注入を行い、

(C) 前記中および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域に中しきい値用不純物の注入を行うことを特徴とする論理回路の製造方法。

【請求項13】 請求項12記載の製造方法において、前記工程(A)において、前記MOSデバイス領域は第一および第二導電型MOSデバイス領域を有し、前記第一導電型MOSデバイス領域において前記工程(B)および(C)の処理を行い、ついで前記第二導電型MOSデバイス領域において前記工程(B)および(C)の処理を行うことを特徴とする論理回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路およびその製造方法に関し、特にCMOS論理回路の低消費電力化を実現する回路構成に関するものである。

【0002】

【従来の技術】携帯電話等のように、電源電圧が1V以下の低消費電力LSIを使用する分野では、CMOS回路構成が使用されている。

【0003】図20は、従来のCMOS論理回路を示す図である。図20においてCMOS論理回路C11は、高しきい値電圧のpMOSトランジスタ81と、低しきい値電圧のpMOSトランジスタ82と、低しきい値電圧のnMOSトランジスタ83とで構成されている。つまり、CMOS論理回路C11は高しきい値電圧と低しきい値電圧との2種類のしきい値を有するMOSトランジスタで構成されている。

【0004】

【発明が解決しようとする課題】従来のCMOS論理回路C11においては、低しきい値電圧のMOSトランジスタ82、83が使用されているので、動作速度が高い。加えて、待機時に、高しきい値電圧のpMOSトランジスタ81がオフするので、低しきい値電圧のMOSトランジスタ82、83には、動作時に比べて僅かなリーク電圧しか流れない。したがって、待機時に低しきい値電圧のMOSトランジスタ82、83における消費電力を低減することができる。

【0005】しかし、CMOS論理回路C11では、動作時に、高しきい値電圧のpMOSトランジスタ81がオンするので、低しきい値電圧のMOSトランジスタ82、83にリーク電流が流れ、このリーク電流によって無駄に電力が消費される。こうした状況では、動作時に発生する無駄な消費電力を除去することができないとい

う問題がある。

【0006】請求項1～11記載の発明は、上記従来例と同様に最高動作速度を維持しつつ、動作時の消費電力をより小さくできる論理回路を提供することを目的とするものである。

【0007】請求項12、13記載の発明は、プロセス工程を増加させることなく上記論理回路を製造する方法を提供することを目的とするものである。

【0008】

10 【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、予め定めた電圧よりも低いしきい値電圧をもち、高速で動作する少なくともひとつの第1MOSトランジスタを有し、動作速度を決定する信号経路に配置された第1論理ゲートと、前記予め定めた電圧以上の中しきい値電圧をもつ第2MOSトランジスタおよび前記予め定められた電圧以上の高しきい値電圧をもつ第3MOSトランジスタの少なくとも一方を動作速度にマージンのあるトランジスタとして有する、前記第1論理ゲート以外の残余の論理ゲートを具えたことを特徴とする。

20 【0009】ここで、請求項2の発明は、請求項1記載の論理回路において、前記低および中しきい値をもつ第1、および第2MOSトランジスタの少なくとも一方の高電位電源側端子を、高しきい値電圧をもつ第4MOSトランジスタを介して主電源線に接続することができる。

【0010】さらに、請求項3の発明は、請求項2記載の論理回路において、前記第1論理ゲートにおける前記少なくともひとつの第1MOSトランジスタは、前記信号経路に挿入されたトランスファゲートを構成する第5MOSトランジスタと、該第5MOSトランジスタを制御する第6MOSトランジスタとを有し、前記残余の論理ゲートは、前記第5MOSトランジスタの出力を決定する第2論理ゲートと、前記第6MOSトランジスタを制御する第3論理ゲートとを有することができる。

【0011】さらに、請求項4の発明は、請求項3記載の論理回路において、前記第5MOSトランジスタのゲート端子には前記第6MOSトランジスタのドレイン端子を接続し、前記第6MOSトランジスタのソース端子には前記第3論理ゲートの出力端子を接続し、前記第6MOSトランジスタのゲート端子には前記高電位電源線および主電源線的一方または接地線を接続することができる。

【0012】さらに、請求項5の発明は、請求項1または2記載の論理回路において、前記第1、第2および第3MOSトランジスタがSOI構造を有し、前記低しきい値電圧の第1MOSトランジスタ、および前記中しきい値電圧の第2MOSトランジスタのうちの少なくとも一方のMOSトランジスタは、完全空乏型であるとする

50 ことができる。

【0013】さらに、請求項6の発明は、請求項2記載の論理回路において、前記第1、第2および第3MOSトランジスタがSOI構造を有し、前記低しきい値電圧の第1MOSトランジスタ、および前記中しきい値電圧の第2MOSトランジスタのうちの少なくとも一方のMOSトランジスタと、前記高しきい値電圧を有する第3MOSトランジスタとは、完全空乏型であることができる。

【0014】さらに、請求項7の発明は、請求項3記載の論理回路において、前記第5MOSトランジスタは、10 ソースが前記トランスファゲートの信号入力端子に接続され、ドレインが前記トランスファゲートの信号出力端子に接続されている第1の第一導電型MOSエンハンスメント型トランジスタであり、前記第6MOSトランジスタはソースが前記第3論理ゲートからの制御出力端子に接続され、ドレインが前記第1の第一導電型MOSエンハンスメント型トランジスタのゲートに接続され、ゲートが前記高電位電源側端子または接地線に接続されている第2の第一導電型MOSエンハンスメント型トランジスタであり、前記第1の第一導電型MOSエンハンスメント型トランジスタのボディと前記第2の第一導電型MOSエンハンスメント型トランジスタのボディとがフローティングされているとすることができる。

【0015】さらに、請求項8の発明は、請求項7記載の論理回路において、前記第1の第一導電型MOSエンハンスメント型トランジスタ、および前記第2の第一導電型MOSエンハンスメント型トランジスタは、SOI構造のトランジスタであることができる。

【0016】さらに、請求項9の発明は、請求項8記載の論理回路において、前記第1の第一導電型MOSエンハンスメント型トランジスタ、および前記第2の第一導電型MOSエンハンスメント型トランジスタは、完全空乏型であることができる。

【0017】さらに、請求項10の発明は、請求項4、7、8または9のいずれかに記載の論理回路において、前記残余の論理ゲートは第1および第2の入力信号とキャリア信号とを受けて加算を行う全加算器を構成する論理ゲートを有し、前記トランスファゲートに前記キャリア信号を供給し、前記第3論理ゲートは前記第1および第2入力信号に応じて前記キャリア信号を前記トランスファゲートから取り出すか否かを制御し、前記第2論理ゲートは前記第1および第2入力信号に応じて前記トランスファゲートから前記キャリア信号が取り出されないときに前記第1および第2入力信号に応じて予め定めた出力を前記トランスファゲート出力として形成することができる。

【0018】さらに、請求項11の発明は、請求項2記載の論理回路において、前記低しきい値電圧をもつ前記少なくともひとつの第1のMOSトランジスタは、ソースが信号入力端子に接続され、ドレインが信号出力端子

に接続されている第1の第一導電型MOSエンハンスメント型トランジスタと、ソースが制御端子に接続され、ドレインが前記第1の第一導電型MOSエンハンスメント型トランジスタのゲートに接続され、ゲートが前記高電位電源側端子または接地線に接続されている第2の第一導電型MOSエンハンスメント型トランジスタとを有し、前記第1の第一導電型MOSエンハンスメント型トランジスタのボディと前記第2の第一導電型MOSエンハンスメント型トランジスタのボディとがフローティングされているスイッチ回路によりトランスファゲートを構成することができる。

【0019】請求項12の発明は、請求項1または2記載の論理回路を製造する方法において、(A)前記、低、中、および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域をそれぞれ互いに絶縁分離して形成し、(B)前記低および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域に低しきい値用不純物の注入を行い、(C)前記中および高しきい値電圧をもつMOSトランジスタを形成するためのMOSデバイス領域に中しきい値用不純物の注入を行うことを特徴とする。

【0020】また、請求項13の発明は、請求項12記載の製造方法において、前記工程(A)において、前記MOSデバイス領域は第一および第二導電型MOSデバイス領域を有し、前記第一導電型MOSデバイス領域において前記工程(B)および(C)の処理を行い、ついで前記第二導電型MOSデバイス領域において前記工程(B)および(C)の処理を行うことができる。

【0021】

【発明の実施の形態】図1は、本発明の第1の実施例である論理回路を示す回路図である。

【0022】図1において論理回路C1は、論理回路L1～L9により構成した組み合わせ論理回路に適用した実施例である。ここで、論理回路L4、L5、L6、L7、L8、L9は、低しきい値電圧のMOSトランジスタを使用した論理ゲートで構成されている。従って、論理回路C1の動作速度は、論理回路L4、L5、L6、L7、L8、L9によって決定されている。

【0023】図2は、CMOS論理回路C1における論理回路L1の論理ゲートを、高しきい値電圧のMOSトランジスタ11、12で構成した回路を示す図である。

【0024】図3は、論理回路C1における論理回路L2、L3の論理ゲートの具体例を示す。論理回路L2の論理ゲートを中しきい値電圧のpMOSトランジスタ22と、中しきい値電圧のnMOSトランジスタ23の直列接続で構成し、電源線VDDが高しきい値電圧のpMOSトランジスタ21を介して、擬似高電位電源線24に接続されている。nMOSトランジスタ23の他端を大地ないし接地電位GNDに接続する。論理回路C1における論理回路L3も、論理回路L2と同様に構成する。

【0025】図4は、論理回路C1における論理回路L4～L9の論理ゲートの具体例を示す。論理回路L4の論理ゲートを、低しきい値電圧のpMOSトランジスタ42と、低しきい値電圧のnMOSトランジスタ43との直列接続で構成し、電源線V_{DD}が高しきい値電圧のpMOSトランジスタ41を介して、擬似高電位電源線44に接続されている。nMOSトランジスタ43の他端を接地電圧に接続する。

【0026】論理回路C1における論理回路L5、L6、L7、L8、L9のそれぞれも、論理回路L4と同様に構成する。

【0027】図5は、図1～図4に示したnMOSトランジスタ、およびpMOSトランジスタの記号を、3種類のしきい値電圧別に示す図である。

【0028】ここで、論理回路C1において、論理回路L1、L2、L3は、速度的にマージンがあり、この速度的にマージンがある論理回路L1、L2、L3は、中しきい値電圧のMOSトランジスタまたは高しきい値電圧のMOSトランジスタで構成されている。中しきい値電圧のMOSトランジスタまたは高しきい値電圧のMOSトランジスタは、その動作時のリーク電流が低く、このリーク電流が低い分だけ、動作時の消費電力が削減される。したがって、論理回路L1、L2、L3で削減された消費電力分だけ、論理回路C1の全体における消費電力が削減される。

【0029】図6(A)に示すレイアウトパターンで図6(B)の断面図に示す低、中、高しきい値電圧のMOSトランジスタ101、102および103を製造する本発明の方法の一例を図7(A)および(B)に示す。ここで101-1、102-1、103-1はゲート電極、101-2、102-2、103-2はドレイン領域、101-3、102-3、103-3はソース領域である。図8(A)に示す低しきい値マスク111を用いて、図7(A)に示すように、低しきい値電圧設定のための不純物のイオンインプランテーションを行う。ついで、図8(B)に示す中しきい値マスク112を用いて図7(B)に示すように、中しきい値電圧設定のための不純物のイオンインプランテーションを行う。これにより、不純物濃度が低い、中間および高チャネル領域104、105、および106がそれぞれ形成される。すなわち、図6(A)および(B)に示すレイアウトおよび断面形状の低しきい値、中しきい値および高しきい値のMOSFET101、102、および103がそれぞれ形成される。

【0030】次に、図7(A)および(B)に示した本発明製法の具体的工程を図9(A)～(J)に示す。

【0031】(1)図9(A)に示すように、シリコン基板200上にpMOSデバイス領域201とnMOSデバイス領域202を形成し、それぞれを絶縁分離する。ここで、221および222はSiO₂絶縁層であ

る。

【0032】(2)図9(B)に示すように、高しきい値pMOSデバイス領域と低しきい値pMOSデバイス領域に開口するレジストマスクM1を形成し、それをマスクにしてn型不純物(リン)のイオン注入を行う。これによりデバイス領域201の表面付近に不純物濃度がN_{p1}となる領域203を形成する。

【0033】(3)図9(C)に示すように、高しきい値pMOSデバイス領域と中しきい値pMOSデバイス領域に開口するレジストマスクM2を形成し、それをマスクにしてn型不純物(リン)のイオン注入を行う。これによりデバイス領域201の表面付近に不純物濃度がN_{pm}となる領域204と不純物濃度が(N_{p1}+N_{pm})となる領域205が形成される。(2)および(3)両工程により、不純物濃度N_{p1}、N_{pm}、(N_{p1}+N_{pm})でそれぞれ規定される、低、中、高、3種類のしきい値電圧を有するpMOSデバイス領域230が形成される。

【0034】(4)図9(D)に示すように、高しきい値nMOSデバイス領域と低しきい値nMOSデバイス領域に開口するレジストマスクM3を形成し、それをマスクにしてp型不純物(ボロン)のイオン注入を行う。これによりデバイス領域202の表面付近に不純物濃度がN_{n1}となる領域206が形成される。

【0035】(5)図9(E)に示すように、高しきい値nMOSデバイス領域と中しきい値nMOSデバイス領域に開口するレジストマスクM4を形成し、それをマスクにしてp型不純物(ボロン)のイオン注入を行う。これによりデバイス領域202の表面付近に不純物濃度がN_{nm}となる領域207と不純物濃度が(N_{n1}+N_{nm})となる領域208が形成される。(4)(5)両工程により、不純物濃度N_{n1}、N_{nm}、(N_{n1}+N_{nm})でそれぞれ規定される、低、中、高、3種類のしきい値を有するnMOSデバイス領域240が形成される。

【0036】(6)ついで、基板200の表面上にゲート酸化膜形成後、pMOSデバイス領域におけるゲート酸化膜上にボロンをドーブしたp型ポリシリコンを成長させ、パターニングして、図9(F)に示すように、各pMOSデバイス領域にゲート電極209を形成する。

【0037】(7)同様に、nMOSデバイス領域におけるゲート酸化膜上にリンをドーブしたn型ポリシリコンを成長させ、パターニングして、図9(G)に示すように、各nMOSデバイス領域にゲート電極210を形成する。

【0038】(8)図9(H)に示すように、pMOSデバイス領域に開口するレジストマスクM5を形成し、p型不純物(ボロン)イオン注入を行ってpMOSデバイスの高不純物濃度ソースおよびドレイン領域211を形成する。

【0039】(9) 図9(1)に示すように、nMOSデバイス領域に開口するレジストマスクM6を形成し、n型不純物(リン)のイオン注入を行ってnMOSデバイスの高濃度ソースおよびドレイン領域212を形成する。

【0040】(10) 全面に絶縁膜223を成長した後、電極窓を開孔し配線金属を成長しそれをパターンニングして、図9(J)も示すようにソースおよびドレイン電極213を形成する。以上により、低、中、高しきい値のpMOSトランジスタ231, 232, 233と低、中、高しきい値のnMOSトランジスタ241, 242, 243とを形成する。

【0041】図10はイオン注入によるチャネル領域における不純物の濃度(cm^{-2})としきい値電圧 V_{th} (V)との関係を示すものである。低しきい値電圧を0.1V、中しきい値電圧を0.2Vに設定すれば、0.4Vのしきい値電圧を持つ高しきい値MOSトランジスタを製造できる。この方法によれば、従来の2しきい値電圧MOSトランジスタの製造プロセス工程を用いて3しきい値のMOSトランジスタを製造できるので、プロセス工程、マスク枚数が増えない利点がある。

【0042】図11は、本発明の第2の実施例である。ここで入力信号 V_{IN} と出力信号 V_{OUT} との間のクリティカルパスに低しきい値論理ゲート150, 151を配置する。制御信号等が入力される信号の非クリティカルパスに中しきい値論理ゲート152を配置する。低しきい値論理ゲート150, 151および、中しきい値論理ゲート152の擬似電源線(Virtual V_{DD})と電源線 V_{DD} との間に、高しきい値電圧のパワースイッチ・トランジスタ153を挿入してスリープ制御信号によりこのスイッチ153のオン、オフを制御する。これにより、各ゲート150, 151, 152の各々のリーク電流を削減することにより、動作時の高速、低消費電力化、ならびに、待機(スリープ)時の低消費電力化を同時に実現する。

【0043】図12は、本発明の第3の実施例である論理回路C2を示す回路図である。論理回路C2は、順序回路に適用した実施例であり、回路ブロックB1, B2, B3を有する。 f は、動作周波数を示し、回路ブロックB1, B2はそれぞれ周波数 f で動作し、回路ブロックB3は、周波数 $f/4$ で動作する。したがって、論理回路C2において、回路ブロックB1, B2は、論理回路C2の最高動作周波数を決定する。 $IN1$, $IN2$, $IN3$ は入力信号、 OUT は出力信号、 CK はクロック信号を示す。

【0044】図13は、論理回路C2における回路ブロックB1, B2を構成する論理ゲートの具体例を示す。

【0045】論理回路C2は、順序回路に適用した場合の実施例であり、論理回路C2を構成する回路ブロックB1, B2は、論理回路C1を構成する論理回路L4~

L9と同じ構成とすることができる。図13では、論理回路L4と同じ構成を有するものとして、回路ブロックB1を示してある。しかし、回路ブロックB1, B2を論理回路L4と異なる構成としても良い。

【0046】図13において、回路ブロックB1は、低しきい値電圧のpMOSトランジスタ52と、低しきい値電圧のnMOSトランジスタ53との直列接続で構成し、電源ライン V_{DD} が高しきい値のpMOSトランジスタ51を介して、擬似高電位電源線54が、電源線 V_{DD} に接続されている。nMOSトランジスタ53の他端を接地電位に接続する。

【0047】図14は、論理回路C2における回路ブロックB3を構成する論理ゲートの具体例を示す。

【0048】回路ブロックB3は、論理回路L1と同様に高しきい値電圧のpMOSトランジスタ61と、高しきい値電圧のnMOSトランジスタ62とで構成する。

【0049】ここで、論理回路C2において、回路ブロックB1, B2の論理ゲートは、低しきい値電圧のMOSトランジスタ52, 53で構成されている。回路ブロックB3は、論理回路C2の最高動作周波数を決定する部分以外の部分で使用されているので、論理回路C2の最高動作周波数よりも低い周波数のクロックに同期した回路ブロックで構成することができる。したがって、回路ブロックB3の論理ゲートとして、高しきい値電圧のMOSトランジスタ61, 62を使用することができる。このように構成することによって、回路ブロックB3における消費電力が低減される。したがって、回路ブロックB3において低減された消費電力分だけ、論理回路C2である順序回路の全体の消費電力を低減することができる。

【0050】なお、この高しきい値電圧のMOSトランジスタ61, 62の代わりに、中しきい値電圧のMOSトランジスタを使用することができる。この場合も、回路ブロックB3における消費電力が低減され、回路ブロックB3において低減された消費電力分だけ、論理回路C2である順序回路の全体の消費電力を低減することができる。

【0051】図15は、回路ブロックB1の構成の他の例を示す回路図である。

【0052】この回路ブロックは(論理回路L4の変形例として考えることもできる)。この回路ブロックB1は低しきい値電圧のpMOSトランジスタ52aと、低しきい値電圧のnMOSトランジスタ53aとの直列接続を有する。電源ライン V_{DD} が高しきい値電圧のpMOSトランジスタ51を介して、擬似高電位電源線54に接続されている。

【0053】図15の回路ブロックB1において、トランジスタ51, 52a, 53aは、SOI構造を有し、低しきい値電圧のMOSトランジスタ52a, 53aは完全空乏型のトランジスタである。

【0054】ここで、完全空乏型MOSトランジスタでは、基板電位を固定する必要がないので、基板電位を固定するための端子、配線を設置する必要がない。したがって完全空乏型MOSトランジスタを使用すれば、この端子、配線用スペース分だけ、従来に比べて、論理ゲートの占有面積を小さくすることができる。

【0055】また、図15に示した回路ブロックB1において、低しきい値電圧のMOSトランジスタ52a、53aとして完全空乏型を使用するのに加えて、高しきい値電圧のMOSトランジスタ51にも完全空乏型を使用するようにしてもよい。図15の回路ブロックB1において、低しきい値電圧のMOSトランジスタ52a、53aの代わりに、中しきい値電圧のMOSトランジスタを使用し、この中しきい値電圧のMOSトランジスタとして完全空乏型を使用するようにしてもよい。この場合、高しきい値電圧のMOSトランジスタ51にも完全空乏型を使用するようにしてもよい。

【0056】図15に示した回路ブロックB1における説明は、論理回路L4等についても当てはまる。つまり、論理回路L4に着目すれば、トランジスタ41、42、43は、SOI構造を有し、低しきい値電圧のMOSトランジスタ42、43として完全空乏型を使用してもよい。また、論理回路L4において、低しきい値電圧のMOSトランジスタ42、43として完全空乏型を使用するのに加えて、高しきい値電圧のMOSトランジスタ41にも完全空乏型を使用するようにしてもよい。さらに、論理回路L4において、低しきい値電圧のMOS

トランジスタ42、43の代わりに、中しきい値電圧のMOSトランジスタを使用し、この中しきい値電圧のMOSトランジスタとして完全空乏型を使用するようにしてもよい。この場合、高しきい値電圧のMOSトランジスタ41にも完全空乏型を使用するようにしてもよい。

【0057】ところで、一般に、低いしきい値のMOSトランジスタで構成した論理ゲートは、動作速度が高いが消費電力が大きい。逆に、高いしきい値のMOSトランジスタで構成した論理ゲートは、動作速度は低いが消費電力は小さい。論理回路の論理ゲートの中には、高い動作速度を必要とする部分と必要としない部分とがある。この事情を背景に、上記実施例では、動作の高速性を必要とする部分に使用される論理ゲートに、低いしきい値のMOSトランジスタを使用することによって、論理回路全体における動作の高速性を確保し、一方、速度的にマージンのある部分で使用される論理ゲートに、高いしきい値のMOSトランジスタを使用することによって、速度的にマージンのある論理ゲートにおける消費電力を少なくし、論理回路全体における消費電力を少なくしている。つまり、必要な動作速度を確保しつつ、論理回路全体として消費電力が小さくなる。

【0058】上記各実施例における3種類のしきい値を有するMOSトランジスタにおけるしきい値の具体例を表1に示す。

【0059】

【表1】

MOSトランジスタ	しきい値電圧の絶対値 $ V_{th} $ (V)
高しきい値電圧のnMOSトランジスタ	0.38
中しきい値電圧のnMOSトランジスタ	0.26
低しきい値電圧のnMOSトランジスタ	0.13
高しきい値電圧のpMOSトランジスタ	0.44
中しきい値電圧のpMOSトランジスタ	0.31
低しきい値電圧のpMOSトランジスタ	0.18

【0060】図16は、表1に示した3種類のしきい値を有するMOSトランジスタを使用して3種類の2入力NAND回路を構成し、これら各2入力NAND回路において、信号伝搬遅延時間と負荷のファンアウト数との関係を回路シミュレーションで計算した結果を示す図である。

【0061】低しきい値電圧、中しきい値電圧、高しきい値電圧の各MOSトランジスタで構成された3種類の2入力NAND回路における伝搬遅延時間の比は、ファンアウト数が5である場合、1:1.32:1.8である。ここで、サブスレッショルド特性（ゲート電圧がしきい値電圧以下で、表面が弱反転状態のときの $V_D - I_D$ 特性）を $S \sim 70 \text{ mV/decade}$ とすると、10

0mV程度しきい値電圧を大きくすることによって、リーク電流を一桁程度低減することができることがわかる。

【0062】したがって、速度のマージンが1.5倍以下であれば、それだけの速度のマージンがある論理ゲートとして使用していた低しきい値電圧MOSトランジスタを、中しきい値電圧のMOSトランジスタで置き換えればよい。また、速度マージンが2倍以下であれば、それだけの速度のマージンがある論理ゲートとして使用していた低しきい値MOSトランジスタを、高しきい値のMOSトランジスタで置き換えればよい。このように中しきい値電圧のMOSトランジスタまたは高しきい値電圧のMOSトランジスタで置き換えることによって、こ

れら置き換えられたMOSトランジスタにおける動作時のリーク電流を一桁または2桁、低減することができ、したがって、論理回路全体の消費電力を削減することができる。

【0063】ところで、上記各実施例では、しきい値電圧を3種類に分けているが、このように3種類に分ける代わりに、所定の電圧よりも低いしきい値電圧を具備する第1のMOSトランジスタと、上記所定の電圧以上のしきい値電圧を具備する第2のMOSトランジスタとの2種類に分けるようにしてもよい。そして、第1のMOSトランジスタを、高速で動作させるMOSトランジスタとして使用し、第2のMOSトランジスタを、速度的にマージンがあるMOSトランジスタとして使用するようにしてもよい。

【0064】本発明によれば、論理回路において、最高動作速度を維持しつつ、動作時の消費電力をより小さくすることができるという効果を奏する。

【0065】図17は本発明の論理回路の第4の実施例ソースsが信号入力端子S_{in}に接続され、ドレインdが信号出力端子S_{out}に接続されている第1のnMOSエンハンスメント型トランジスタTR11と、ゲートが擬似電源線Virtual V_{DD}に接続され、ソースsが制御端子cに接続され、ドレインdが

【0067】第1のnMOSエンハンスメント型トランジスタTR11のゲートに接続されている第2のnMOSエンハンスメント型トランジスタTR12とを有し、nMOSトランジスタTR11のボディおよびnMOSトランジスタTR12のボディをフローティングさせる。ゲートG11~G15はすべて中しきい値MOSトランジスタで構成する。図17において、A_iとB_iは加算入力、S_iは加算出力を示す。C_{ii}はキャリー入力、C_{oi}はキャリー出力を示す。

【0070】となる。入力信号A_iおよびB_iの一方が“1”で他方が“0”のときにのみC=“1”となり、低しきい値nMOSトランジスタTR11は導通状態となる。それにより前段のキャリー信号C_{ii}が出力端子C_{oi}に伝達される。入力信号A_iおよびB_iがともに“0”または“1”のときにはキャリー伝搬信号cは“0”となり、トランジスタTR11は非導通となる。従って、前段のキャリー信号C_{ii}はトランジスタTR11を介して出力端子C_{oi}に伝達されない。この場合には、キャリー出力端子C_{oi}に接続されたpMOSトランジスタTR13またはnMOSトランジスタTR14の一方が導通して、キャリー出力端子C_{oi}は“1”または“0”になる。

【0071】図12に示した全加算器をn段直列に接続してnビット加算器を構成する。キャリーが信号振幅を減衰することなく伝達されるためには、各全加算器において、端子cの信号がキャリー入力信号C_{ii}の確立時刻より先に確立（すなわちハイレベル）されなければな

として全加算器LC_iを示す。この全加算器LC_iは、加算を行うゲートG11~G12と、キャリー伝搬のためのトランスファゲート用低しきい値nMOSトランジスタTR11とこのトランジスタTR11を制御するための低しきい値nMOSトランジスタTR12とを有するスイッチ回路SW1と、このスイッチ回路SW1を制御する為のゲートG14と、および中しきい値MOSトランジスタTR13とTR14と、MOSトランジスタTR14およびTR13をそれぞれ制御するためのゲートG13およびG15とを有する。スイッチ回路SW1はキャリー信号を伝搬するトランスファゲートとして機能する低しきい値電圧のnMOSトランジスタTR11と、この低しきい値電圧のnMOSトランジスタTR11を制御するための低しきい値電圧のnMOSトランジスタTR12とを有する。スイッチ回路SW1は、

【0066】

【外1】

は加算入力、S_iは加算出力を示す。C_{ii}はキャリー入力、C_{oi}はキャリー出力を示す。

【0068】図17に示した全加算器の動作について説明する。スイッチ回路SW1の端子におけるキャリー伝搬制御信号cは、入力信号A_iとB_iとにより

【0069】

【数1】

(⊕は排他的論理和演算を表わす。)

らない。

【0072】nビット加算器では、上位ビットの全加算器になればなる程、入力ビットの確立時刻からキャリー入力信号C_{ii}の確立時刻までの時間が長いので、ゲートG11およびG14は十分な速度マージンをもっている。したがって、これらゲートG11およびG14を中しきい値のMOSトランジスタで構成しても、それらゲートの動作を保持できる。

【0073】この実施例では、トランスファゲートを低しきい値電圧のnMOSトランジスタTR11で構成するので、キャリー伝搬に当たって、キャリー信号の電圧降下を小さくできる。トランスファゲートTR11を、昇圧トランジスタとしての低しきい値nMOSトランジスタTR12で制御し、このトランジスタTR12のゲート端子を擬似電源線Virtual V_{DD}に接続することによって、トランスファゲートTR11のゲート電位が電源電圧Virtual V_{DD}以上に昇圧されるので、キャリー出力の電圧降下を防止できる。トランジスタTR12のゲ

ト電極は、図17のように擬似電源線Virtual V_{DD} に接続するのみならず、主電源線V_{DD} に接続しても同様の効果がある。

【0074】図18は、図17に示した加算器LC_i (i=0, 1, 2, 3)を4つ直列に接続して構成した4ビット加算器の構成例を示す。C_{OF}はキャリーのオーバーフロー出力信号を示す。特に、上位ビットほど、キャリー伝播制御信号Cがキャリー信号より早くなるため、トランスファゲートに接続された昇圧トランジスタの昇圧効果が大きくなり、高速動作が可能になる利点がある。

【0075】図17では、トランジスタTR11およびTR12はnMOSTランジスタであるが、これらトランジスタTR11およびTR12としてpMOSTランジスタを用いた本発明の第5の実施例を図19に示す。この実施例では、図17中のインバータゲートG14が不要であり、トランジスタTR12のゲート電極は擬似電源線Virtual V_{DD} ではなく、接地電位GNDに接続されている。

【図面の簡単な説明】

【図1】本発明論理回路の第1実施例を示すブロック図である。

【図2】図1中の論理回路L1の論理ゲートの具体例を示す回路図である。

【図3】図1中の論理回路L2, L3の論理ゲートの具体例を示す回路図である。

【図4】図1中の論理回路L4~L9の論理ゲートの具体例を示す回路図である。

【図5】3種類のしきい値電圧をもつnMOSおよびpMOSTランジスタの記号の説明図である。

【図6】(A)および(B)は本発明論理回路で用いられる低、中、高しきい値電圧のMOSTランジスタを示す、それぞれ、平面図および断面図である。

【図7】(A)および(B)は、図6(A)および(B)に示したMOSTランジスタの本発明による製造工程の一例を示す断面図である。

【図8】(A)および(B)は、それぞれ、図7(A)および(B)に示した製造工程で用いる低、中しきい値電圧設定のための不純物のイオンインプランテーションのためのマスクを示す平面図である。

【図9】(A)~(J)は図7(A)および(B)に示した本発明製造方法の具体例を示す断面図である。

【図10】チャンネル領域の不純物濃度としきい値電圧との関係を示す特性図である。

【図11】本発明論理回路の第2実施例を示すブロック図である。

【図12】本発明の第3実施例を示すブロック図である。

【図13】図12中の回路ブロックB1, B2の論理ゲートの具体例を示す回路図である。

【図14】図12中の回路ブロックB3の論理ゲートの具体例を示す回路図である。

【図15】図12中の回路ブロックB1の論理ゲートの他の具体例を示す回路図である。

【図16】3種類のしきい値電圧のMOSTランジスタで構成した2入力NANDゲートのファンアウト数と遅延時間との関係を対比して示す特性図である。

【図17】本発明論理回路の第4実施例としての全加算器を示すブロック図である。

【図18】図17に示した全加算器により構成した4ビット加算器の例を示すブロック図である。

【図19】本発明論理回路の第5実施例としての全加算器を示すブロック図である。

【図20】従来のCMOS回路の一例を示す回路図である。

【符号の説明】

C1 CMOS論理回路

L1~L9 論理回路

V_{DD} 電源線

GND 接地電位

IN1, IN2, IN3 入力信号

OUT 出力信号

11, 12 高しきい値電圧のMOSTランジスタ

21 高しきい値電圧のpMOSTランジスタ

22 中しきい値電圧のpMOSTランジスタ

23 中しきい値電圧のnMOSTランジスタ

24 擬似高電位電源線

41 高しきい値電圧のpMOSTランジスタ

42 低しきい値電圧のpMOSTランジスタ

43 低しきい値電圧のnMOSTランジスタ

44 擬似高電位電源線 (Virtual V_{DD})

101 低しきい値電圧のMOSTランジスタ

101-1, 102-1, 103-1 ゲート電極

101-2, 102-2, 103-2 ドレイン領域

101-3, 102-3, 103-3 ソース領域

102 中しきい値電圧のMOSTランジスタ

103 高しきい値電圧のMOSTランジスタ

104 低チャンネル領域

105 中チャンネル領域

106 高チャンネル領域

111 低しきい値マスク

112 中しきい値マスク

200 シリコン基板200

201 pMOSデバイス領域

202 nMOSデバイス領域

203 デバイス領域201の表面付近に不純物濃度がN_{p1}となる領域

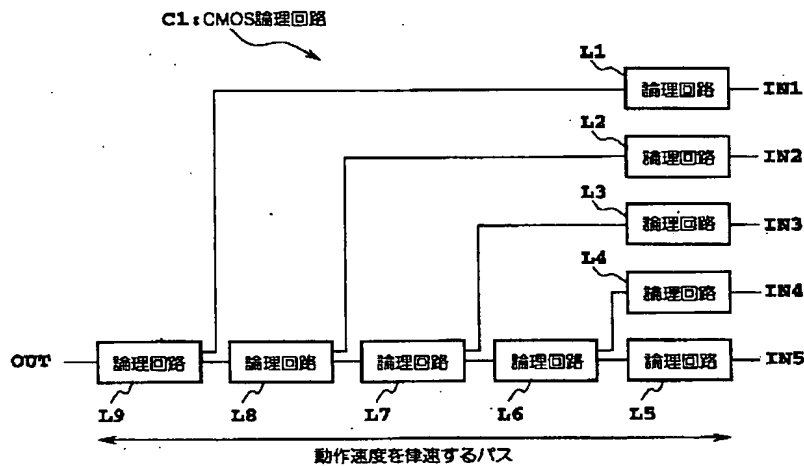
204 デバイス領域201の表面付近に不純物濃度がN_{pm}となる領域

205 不純物濃度が(N_{p1}+N_{pm})となる領域

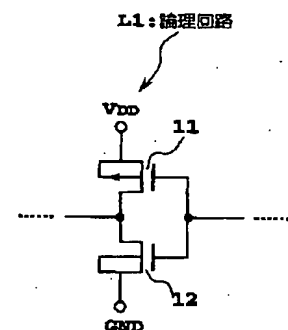
206 デバイス領域202の表面付近に不純物濃度が
Nn1となる領域
207 デバイス領域202の表面付近に不純物濃度が
Nnmとなる領域
208 不純物濃度が(Nn1+Nnm)となる領域
209 ゲート電極
210 ゲート電極
211, 212, 213 ドレイン領域
221, 222 SiO₂ 絶縁層

223 絶縁膜
231 低しきい値のpMOSトランジスタ
232 中しきい値のpMOSトランジスタ
233 高しきい値のpMOSトランジスタ
240 nMOSデバイス領域
241 低しきい値のnMOSトランジスタ
242 中しきい値のnMOSトランジスタ
243 高しきい値のnMOSトランジスタ

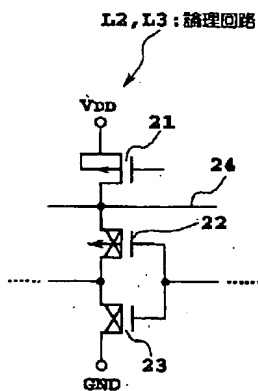
【図1】



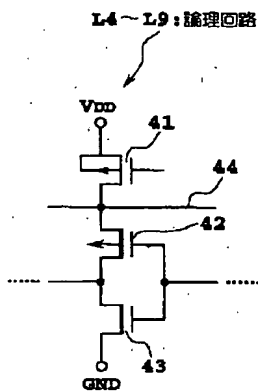
【図2】



【図3】



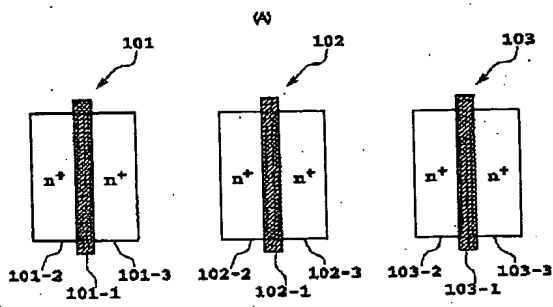
【図4】



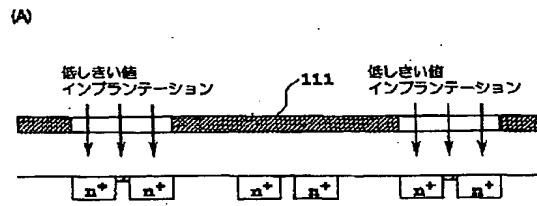
【図5】

	低閾値電圧の MOS トランジスタ	中間値電圧の MOS トランジスタ	高閾値電圧の MOS トランジスタ
nMOS			
pMOS			

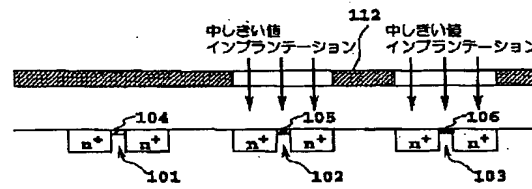
【図6】



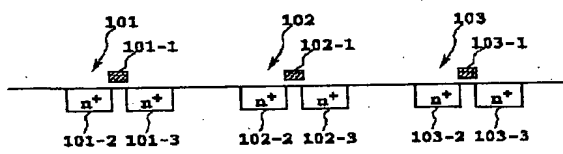
【図7】



(B)

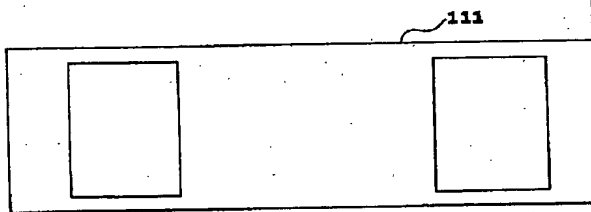


(C)



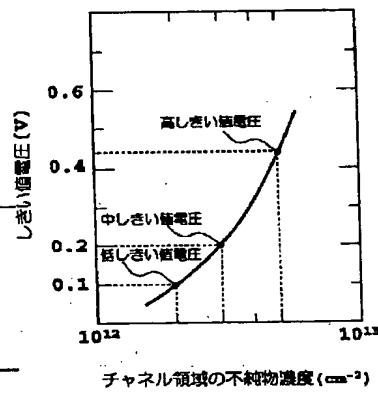
【図8】

(A)



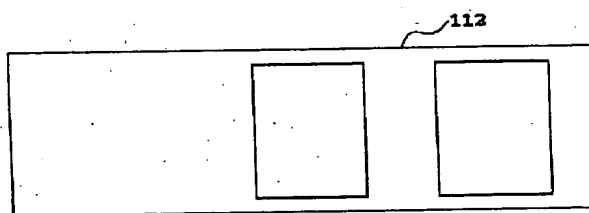
【図10】

【図13】

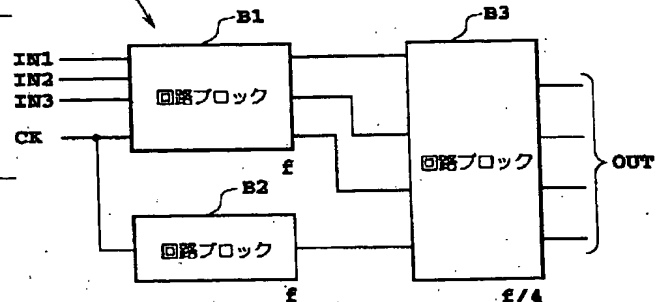


【図12】

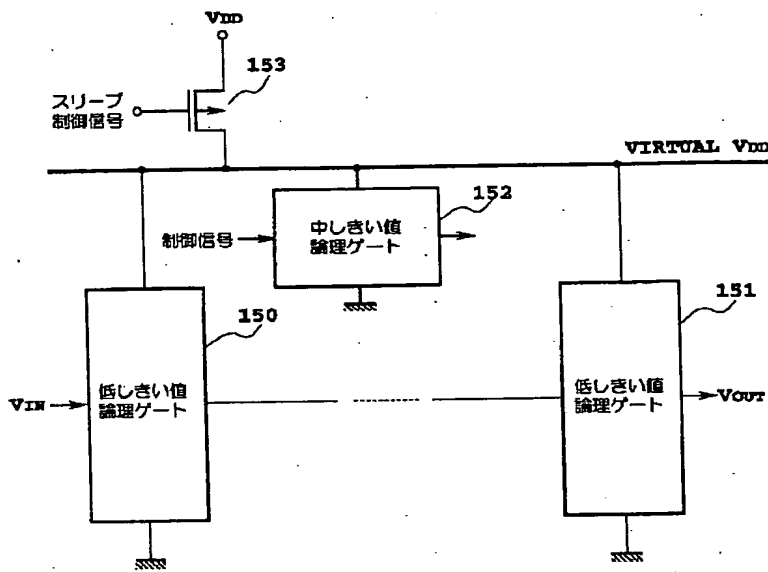
(B)



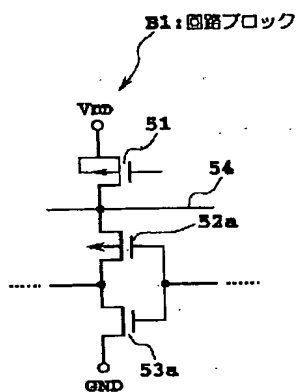
C2: 論理回路



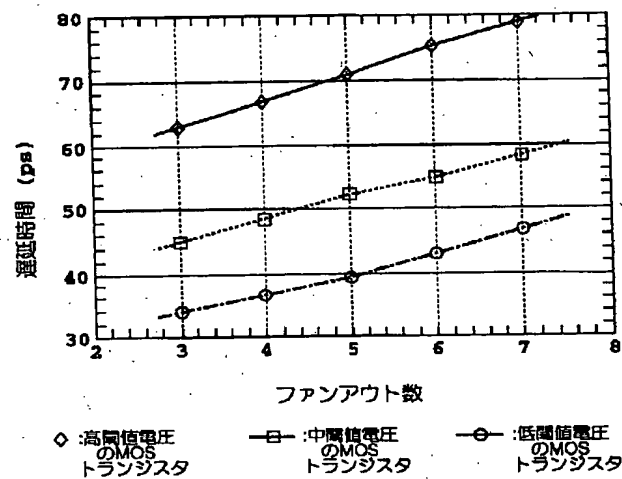
【図11】



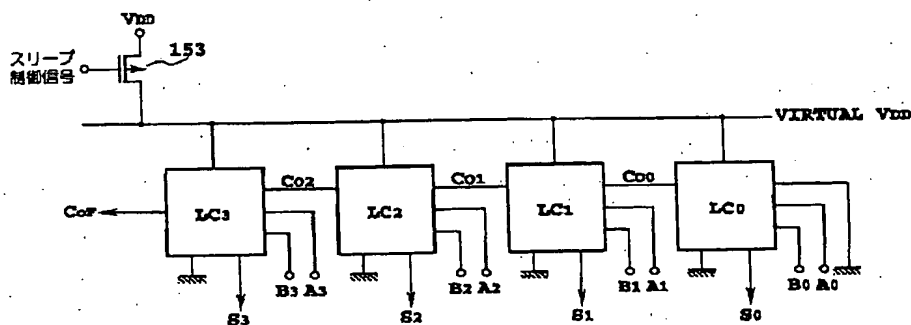
【図15】



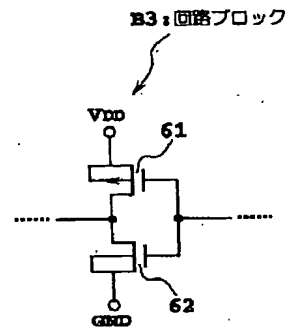
【図16】



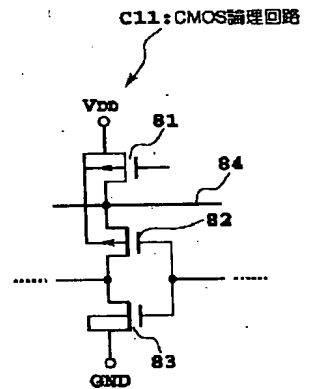
【図18】



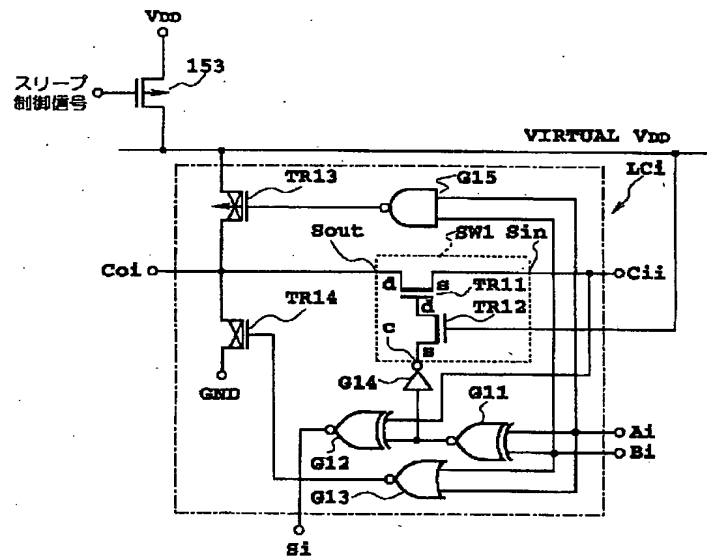
【図14】



【図20】



【図17】



【図19】

